



(19)

(11) Publication number: 2001160590 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 11341076

(51) Int'l. Cl.: H01L 21/768 H01L 21/3205

(22) Application date: 30.11.99

(30) Priority:

(43) Date of application publication: 12.06.01

(84) Designated contracting states:

(71) Applicant: FUJITSU LTD

(72) Inventor: YAMAGAMI AKIRA
OTSUKA TOSHIYUKI
HOSODA TSUTOMU

(74) Representative:

(54) METHOD OF FORMING WIRING AND METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

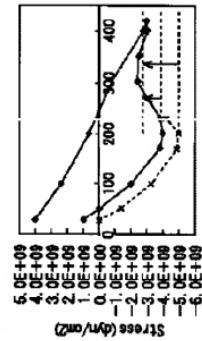
(57) Abstract:

PROBLEM TO BE SOLVED: To improve the yield of a low-resistance multilayered wiring while the wiring is formed in forming the wiring through a short-time manufacturing process by applying the plating method to the damascene method, and to improve the reliability of the wiring when the wiring is in use.

SOLUTION: In forming wiring 36 on wiring 23 formed by filling up wiring grooves 19 with plated Cu films 22 by filling up via holes 30 and wiring grooves 33 with plated Cu films 35 through the via holes 30, low-temperature annealing is performed immediately after the Cu films 22 and 35 which become the material films of the wiring 23 and 36 are formed. At the same time, the processing temperatures in various processes including the H2 plasma treatment performed after the wiring 23 and 36 are formed by CMP, and the continuous formation of interlayer insulating films 25 and 38 are controlled to a prescribed low temperature or lower.

COPYRIGHT: (C)2001,JPO

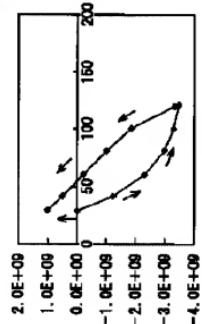
→ Cuメッシュ加熱有り → Cuメッシュ加熱無



(a) Cuメッシュ加熱有り
→ Cuメッシュ加熱無
→

Stress (GPa)

Temp. (°C)



(b) Cuメッシュ加熱有り
→ Cuメッシュ加熱無
→

Stress (GPa)

Temp. (°C)

Cuメッシュの加熱によるCuのストレッセスの例

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-160590

(P2001-160590A)

(43)公開日 平成13年6月12日(2001.6.12)

(51)Int.Cl.⁷

識別記号

F I

マーク(参考)

H 01 L 21/768
21/3205H 01 L 21/90
21/88P 5 F 0 3 3
K

審査請求 未請求 請求項の数5 OL (全10頁)

(21)出願番号 特願平11-341076

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(22)出願日 平成11年11月30日(1999.11.30)

(72)発明者 山上 聰

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(73)発明者 大塚 敏志

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74)代理人 100090273

弁理士 國分 孝悦

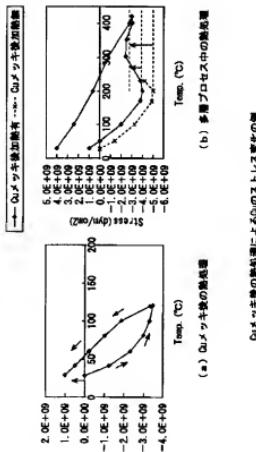
最終頁に続く

(54)【発明の名称】配線の形成方法及び半導体装置の製造方法

(55)【要約】

【課題】 ダマシン法にメッキ法を適用して短時間の製造プロセスで低抵抗の多層配線を形成するに際して、形成過程における歩留まり及び実使用中の信頼性を大幅に改善する。

【解決手段】 配線溝19にメッキCu膜22を充填してなる配線23上に、ビア孔30を介して当該ビア孔30及び配線溝33にメタリックCu膜35を充填してなる配線36を形成するに際して、配線23、36の材料膜となるメッキCu膜22、35を形成した直後に低圧アニール処理を施すとともに、CMPにより配線23、36を形成した後のH₂プラズマ処理及びそれに引き続いだ層間絶縁膜25、38を含む諸工程の処理温度を所定の低温度以下に制御する。



【特許請求の範囲】

【請求項1】 半導体基板の上層に形成された第1の絶縁膜に所定の配線溝を形成する工程と、前記配線溝を埋め込むように金属膜をトキ形成する工程と。

前記金属膜を研磨し、前記金属膜内のみを充填するように前記金属膜を残して配線を形成する工程と、少なくとも前記配線上に第2の絶縁膜を形成する工程とを含み、

前記金属膜の形成直後に当該金属膜に所定温度の熱処理を施すとともに、前記第2の絶縁膜の形成温度を含む前記配線形成後の工程の処理温度を所定の低温度以下に制御することを特徴とする配線の形成方法。

【請求項2】 前記金属膜の形成直後ににおける前記熱処理の前記所定温度を0.0°C、2.0°Cの範囲で前記温度とすることを特徴とする請求項1に記載の配線の形成方法。

【請求項3】 前記配線形成後の諸工程の処理温度を4.0°C以下とすることを特徴とする請求項1に記載の配線の形成方法。

【請求項4】 少なくとも前記各工程を含む一連のプロセスを経て、前記配線を形成した後、形成された前記配線と凹孔を通して電気的に接続されるように、前記一連のプロセスを所定回数繰り返して、多層配線を形成することを特徴とする請求項1に記載の配線の形成方法。

【請求項5】 半導体基板上に所持する半導体素子を形成し、前記半導体素子の周囲に当該半導体素子と電気的に接続するように配線を形成する半導体素子の製造方法であって、

前記配線を形成するに際して、

前記半導体素子の上層に形成された第1の絶縁膜に所定の配線溝を形成する工程と、

前記配線溝を埋め込むように低抵抗の金属膜をトキ形成する工程と、

前記金属膜を研磨し、前記配線溝内のみを充填するように前記金属膜を残して配線を形成する工程と、少なくとも前記配線上に第2の絶縁膜を形成する工程とを含み、

前記金属膜の形成直後に当該金属膜に所定温度の熱処理を施すとともに、前記第2の絶縁膜の形成温度を含む前記配線形成後の工程の処理温度を所定の低温度以下に制御することを特徴とする半導体素子の製造方法。

【発明の総説を説明】

【00001】

【発明に属する技術分野】 本発明は、いわゆるグリシン法により絶縁膜の割内に配線を充填する方法及びこの構造を備えた半導体装置の製造方法に関し、特にチュアルタマシン法により形成する多層配線に適用して好適である。

【00002】

【従来の技術】 従来の半導体装置の配線技術においては、A1台金を配線材料として用い、トラエーチング法によりパターン形成していた。ところが近年では、半導体装置の更なる微細化、高速駆動化が要請されており、より低抵抗化した高純度度の配線材料が要請され、しかも形成までの処理時間の短縮化が要求される。これに応じるため、配線材料としてはA1台金の代わりに例えばCuが用いられ、処理法としてはタマシン法の適用が検討されている。即ち、Cu配線を形成する場合、エチシング法では「チャント及び溶出の影響でコロージョン」が発生し形成が困難となることから、掩蔽膜の割内に金属(イクタ)を埋め込み、研磨することによって中のイクタを残す、いわゆるグリシン法を用いて配線を形成する必要がある。この方法は、R.Luther等により、「PLANE COPPER-POLYIMIDE BACK END THE LINE IN TER CONNECTIONS FOR TEST DEVICES」 Proceedings of 10th International VMIC, Pt.1-21, 1993 で報告されている。

【00003】 特に、更なる工程短縮を実現するには、いわゆるタマシン法により下部配線溝を充填する上部配線を形成した後、上部で隣接する配線溝を接続するヒア孔と上部配線を形成するための上部配線溝を形成した後、上部配線溝をヒア孔に押出しイクタを埋め込んで研磨する、いわゆるチュアルタマシン法により多層配線を形成する必要がある。この方法は、インターサイザル、ビゲネス、マジン、コホレーショント(IBM)により特許第1,011,911号公報などに開示されている。チュアルタマシン法を用いる場合、従来用いていたより

30 なめらか性の劣るタマシン法によるイクタの堆積では、配線が配線溝等のヒア孔の埋め込みが困難であり、従来のタマシン法に代わりに、Cu法により配線材料の堆積を行なう必要がある。

【00004】

【発明が解決しようとする課題】 Cu法により堆積されたイクタは、タマシン法により堆積するタマシに比して、堆積直後の強度がアモルファスとなり、多くの孔穴を含んでいて、半導体装置の強度低下して容易に多層配線を形成した場合には、形成過程においてCu表面に酸化を還元するための孔穴を含む半導体におけるアモルファス処理が必要であるが、このアモルファスによりイクタ構造が変化するため、配線内やヒア孔内イクタ中のイクタの成長やイクタ自身の体积の縮小が発生する。これに起因して、形成過程で凹部が生じて堆積までの低下を招きしたり、実使用中にストレスマグレーニングが生じて重大な障害を引き起こされるといい問題がある。

【00005】 具体的に、試験的にチュアルタマシン法によりCuを材料とする多層配線を形成し、2.0μmのチュアルタマシン法によるタマクタバーンで各々接続するに際して、50 Cu表面にバッジーションを施す前に、Cu研削後の

表面化に日、アニール(350°C、30分)を用いた場合の前記ハーティの歩留まりを調べた。その結果を図10に示す。チエーンの半径(形状が0.1、3(幅:W)×2.0(長さ:L)mmの場合、コンクリートの歩留まりは9.9%以上であるが、チエーンの半径(形状が1.0(幅)×2.0(長さ:L)mmの場合にはコンクリートの歩留まりが9.5%以下に低下することがわかる。この変化は信頼性試験において著者となる同ハーティの信頼性試験における200°Cの温度での収縮試験の結果を図11に示す。半径(形状が0.1)のハーティにおいては全く劣化が見られない(プロットできない)ため、図中には表示していない)のに対して、後者のハーティにおいては1000時間以下では100%の收縮故障を示している。

【0006】この点、配線部の埋込みを改善するため上例はCVD法によってキャビアするプロセスや、特開平8-30391号公報による高耐久プロセスによる埋め込みの改善を図るプロセス等が知られているが、いずれもプロセス中の埋込みの改善やエレクトロマイグレーションの改善を目的としており、プロセス中のビア孔の不良やビア孔のストレインマグレーションに対する報告は無い。

【0007】このように従来では、チエアルダミン法を用いて多層配線を1キロ成形することにより、短時間の製造プロセスで低抵抗の多層配線を形成することが可能となる反面、形成過程の熱収縮による歩留まりの低下や、実使用時のストレインマグレーション等による信頼性的低下を招するといづれ深刻な問題が未解決な現況にある。

【0008】そこで本発明は、タマシング法による手法を適用して短時間の製造プロセスで低抵抗の多層配線を形成するに際して、形成過程における歩留まり及び実使用中の信頼性を大幅に向上させる配線の形成方法及び当該配線を備える半導体装置の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】本発明は、前記課題を解決するため、以下に示す諸特徴を有する。

【0010】第1の特徴は、配線の形成方法であって、半導体基板の上層に形成された第1の金属膜に所定の配線構造を形成する工程と、前記配線構造を埋め込むように金属膜を1キロ形成する工程と、前記金属膜を研削し、前記配線構造のみを充填するように前記金属膜を残して配線を形成する工程と、少なくとも前記配線上に第2の金属膜を形成する工程と、含み前記金属膜の形成直後に当該金属膜に所定温度での熱処理を施すとともに、前記第2の金属膜の所定温度を含む前記配線形成の諸工程の処理温度を所定の低温度以下に制御することを特徴とする。

【0011】前記第1の特徴において、前記金属膜の形

成直後における前記熱処理の前記所定温度を80°C~200°Cの範囲内の温度とすることが好適である。

【0012】前記第1の特徴において、前記配線形成後の諸工程の処理温度を100°C以下とすることが好適である。

【0013】前記第1の特徴において、前記配線を多層配線として形成するに際して、少なくとも前記各工程を含む一連のプロセスを通じて、前記配線を形成した後、形成された前記配線と開孔を通して電気的に接続されるように、前記一連のプロセスを所定回数繰り返して、多層配線を形成することが好適である。

【0014】第2の特徴は、半導体装置の形成方法であって、半導体基板上に形成される配線を前記第1の特徴により形成することを特徴とする。

【0015】

【作用】本発明では、タマシング法による手法を適用して配線を形成するに際して、配線材料である金属膜形成直後に低温熱処理を施し、更にそれに加え、配線部のみに金属膜を残して配線形成する研削を施した後の層間絕縁膜の形成工程を含む諸工程を所定の低温度に制御して行なう。ここで、前記低温熱処理の工程を省略して配線形成後の諸工程を所定の低温度に制御して行なった場合、製造時における配線の歩留まりは改善されるものの、実使用時におけるストレインマグレーション等の緩和はみられない。そこで、上記の如く前記低温熱処理の工程と配線形成直後工程の低温熱処理を併用することにより、その後の熱処理に起因するストレイン量が緩和され、配線のビア孔の形成や歩留り減少が抑制されて信頼性の大幅向上が実現する。

【0016】

【発明の実施形態】以下、本発明を適用した具体的な実施形態について図面を参考しながら詳細に説明する。

【0017】(本実施形態の主要構成による機能)先ず、本発明の配線の形成方法を構成する各工程のうち、最も明らかなる特徴を有する工程の機能について説明する。

【0018】本実施形態では、いわゆるチエアルダミン法による手法を適用して多層配線を形成する方法を主要構成として開示する。本例では、例えば国図2-図8を参照すれば、第1の配線構造1-9に1キロ膜2-2を充填してなる第1の配線2-3上に、ビア孔3-0を有して当該ビア孔3-0及び第2の配線構造1-8に1キロ膜3-5を充填してなる第2の配線3-6を形成する。

【0019】ここで、本実施形態の主要構成は、第1及び第2の配線2-3、3-6の材料となる1キロ膜(1-9、2-2、3-5)を形成した直後に低温アニール処理を施すこと(以下、条件1とする)、と、CMPにより第1及び第2の配線2-3、3-6を形成した後(即ち、アスカ処理及びそれに引き続く層間絕縁膜2-5、3-8を含む諸工程の処理温度を所定の低温度以下に制御すること(以下、条件2とする)である。

【0020】—条件1の機能—
以下、条件1の機能について、示す。図1は、イカジ膜に
したストレス変化を示す特性図。軸にストレスを示している。昇
示す。

【0021】図1(a)は、Cu-Cr合金に120℃で上昇させ、室温まで戻したときのストレスの変化をしており、図1(b)は、プロセス中の最高温度を假定し、120℃まで変化させ室温まで戻したときのストレス変化を示す。図中には本例に示す条件1(1000℃/1時間)の有無を示している。室温から120℃で昇温する過程で、200℃までは熱膨張に従って拡散クリーブのためにストレス変化が見られ、200℃以上からU型の引張強度になるとストレスが吸収され減少が見られる。ここで、生じた吸収は室温に戻した場合でも保持され、室温強度は他のストレスとなる。

【0022】Cu配線は、遮断熱成長時に要する熱応により図1-(b)に示すような熱ストレスを受けている。熱ストレスによりCu構造が変化し、Cu配線の一部にボリトや体積縮小等が生じることが、配線及び印刷におけるボリト形成のトラブル原因之一である。

【0023】141-(a) に示すように、 Cu/Cu 複合構造面に当該 Cu 薄膜に対して Cu の早い拡散が生じ、200°C 温度以下で熱処理を行うと、 Cu/Al 層によって熱処理の内部で Cu が膨張しないこと、 Cu のグリーン成形及びホットプレスが促進する。その後、室温に戻った状態では、 Cu の屈筋化とストレイン緩和が起こっている。ここでは、CIMP 研究室の部分が強調するが、研磨面の表面粗さは約 0.1 μm 以下の仕上げを目標としている。

[0021] 図1(a)に示すように、C_uと一液相Cu膜は、熱処理により-1, 0, +1⁰ dyn/cm²以上あたりまで、一方向(熱膨張)に増加するが、温度を下げる過程で-1, 0, +1⁰ dyn/cm²程度以上のストレインが増加(体積の収縮)する。この変化はE₁のことを示唆する。-120⁰CでC_uが膨張した状態を示す挙動と結晶物成長が行われている段階では、C_uとハリヤクマルの密着性は良好に保たれている。この段階、室温における過程で体積の収縮した分だけストレインが生じる。

【0.02.5】既往の多層構造線形プロセスでは、更に内側に通過段階の成層排列における熱処理の影響を考慮する必要がある。この条件下による C_{10} と C_{10} 以下の熱処理を行なわない場合は、1.00 まで上昇する過程で $-5.0 \times 10^{-4} \text{ dvn, cm}^{-2}$ 程度までストレス変化する。2.00 まで温度が上昇するとこの早い弛張によりストレスの緩和が生ずる。この過程において ± 1.0 の所帯により、ヒアルロン酸内部で相殺作用が生じてない。又 C_{10} 以下の熱処理を低温で行なう。

おこことにより、図1(b)に示すように、その後の熱処理によるストレッス量の変化が緩和され、多層配線形成プロセス中の熱処理による電子下の形成及び体積の縮小が生じ難くなることがわから

【0026】C₀ミッキ夜に室温で放置した場合でも、クリンの成長が見られることが知られているが、この場合には毛子ド形成を抑制する作用は見られない。これは先に示した、120°Cで熱処理したときのストレッス変化を起こすような微溶化が生しないためにまるるものと考
えられる。

【0027】以上の考察から、条件1におけるCIOと、
キ痕形成直後の熱処理によりストレス量の変化が緩和され、
実使用時における信頼性的向上を実現できることが
わかる。この場合、熱処理の適正温度範囲としては、室
温に反応した際に吸収によるストレッス変化の見られる80
℃以上で、且つ早い拡散の発生しない200℃以下が好
適であり、ストレス変化の初期を考慮して10分程度の短
時間で行なうことが好ましい。

【0028】**条件2の機能**

条件2は、**音波条件1の機能を補完するもの**である。
条件1の音波からも、CukとキヤのCMPによる多層配線形成後の瞬間遮断剝離形成に必要なアーナーを代表とする諸熱処理において、各処理温度を100°C以下に制御すれば、ストレス量の変化が緩和されることが示唆される。なお、本件の实例(割合2~4例において)、第1及び第2の配線2、3、3bのCu表面を净化するための工程等は、**アリルのようないずれアルカリ性の大きな処理を行うと効果が減少するので避けることが望ましい**。但し、エーチングダスターを除去するための最終アーナーはプロセスの終りにおいて適切な温度及び時間で行なうようにし、**多層配線形成の各工程でのせりあいによる低減化を図ることが望ましい**。

【0.0.2.9】—条件1と条件2の関係—
 従来のデュアルタマシ法によるX線法を適用したC₀多層配線の形成方法に条件2のみを付加した実験を行なった。即ち、C_{MP}による配線形成後アーチングを行なわず、瞬間絶縁剝離成膜時の処理温度を下げて（全て100°C以下）多層配線を形成し、形成時の下準備及び上使用時の信頼性を満たすところ、準備よりの向上はみられないが、信頼性の向上は認められなかった。

【0030】そこで、従来のCu多層配線の形成方法に条件1及び条件2の双方を付加した実験を行なったところ、歩留まりの向上に加えて信頼性の大幅な回復が認められた。

【0.0.3.1】このことから、条件1及び条件2の双方が相まって、高い粘着率及び信頼性を確保しつゝ、短時間の製造プロセスで低抵抗の多層配線を形成することが可能となることがわかる。

【0032】(多層配線の構成方法) 続いて、前述の第50件1, 2を備えた本発明の主要構成をなす多層配線の形

成方法について説明する。図2～図8は、デュアルターミナル法による複数層構造(ここでは2層)を形成する工程を順に示す概略面図である。

【0.0.3.3】先ず、図2(a)に示すように、半導体基板(省略)を覆うように層間絕縁膜1-1を堆積形成した後、層間絕縁膜1-1に下層配線と通じるビア孔1-2を開孔形成する。次に、ビア孔1-2の内壁を覆うようにTaN等の下地膜1-3を形成し、ビア孔1-2を埋め込む膜9-1にW膜を堆積形成して、このW膜を化成機械研磨(CMP)してビア孔1-2のみにWが充填されてなるWカラーフ1-4を形成する。

【0.0.3.4】続いて、図2(b)に示すように、層間絕縁膜1-1及びWカラーフ1-4上にSi-N_x膜1-5を膜厚3.0nm程度に形成する。次に、Si-N_x膜1-5上にFSG(Fluoro-silicate glass)からなる層間絕縁膜1-6を膜厚5.00nm程度に堆積形成した後、フォトリソグラフジーの露光に対する反射防止膜1-7を形成する。

【0.0.3.5】続いて、図2(c)に示すように、フォトレジスト1-8を重ね、フォトリソグラフジーによりフォトレジスト1-8を加工して、各Wカラーフ1-4上に開口する配線構造カラーフ1-8aを形成する。次に、フォトレジスト1-8をエクストラクタとして、Si-N_x膜1-5をエクストラクタとして、反射防止膜1-7及び層間絕縁膜1-6をドライエッチングする。

【0.0.3.6】続いて、図2(d)に示すように、フォトレジスト1-8を風化処理等により剥離した後、更にSi-N_x膜1-5をドライエッチングして層間絶縁膜1-1及び各Wカラーフ1-4の表面を露出させ、酸洗槽バッケンに嵌った第1の配線構造1-9を形成する。

【0.0.3.7】続いて、図3(a)に示すように、半導体基板(省略)を含むプラズマ処理、ここではNH₃プラズマ処理を施して第1の配線構造1-9内を活性化する。ここで、前記プラズマ処理としてはNH₃ガスの代わりにH₂ガス、N₂、Ar混合ガス、H₂-Ar混合ガス等を用いてもよい。

【0.0.3.8】続いて、図3(b)に示すように、RF処理として逆スパッタを熱酸化膜の膜厚を換算して1.0nm程度行つて層間絶縁膜1-1を洗浄した後、TaNからなるハリヤイクル膜2-0を膜厚2.5nm程度に、更にシート金網膜としてCu膜2-1を膜厚2.00nm程度にカラクタ化されたスパッタ装置により真空中で連続的に堆積形成する。ここで、RF処理とハリヤイクル膜2-0及びCu膜2-1の形成は真空中で連続的に行なうこととする。

【0.0.3.9】続いて、図3(c)に示すように、ハリヤイクル膜2-0を電極として、イカキ法により第1の配線構造1-9内を埋め込む膜厚、ここでは1.0μm程度にCu膜2-2を形成する。

【0.0.4.0】続いて、図3(d)に示すように、Cu膜2-

2-2のイカキ形成直前に露若等開気で満たされたホートプレート上で80℃～200℃の低温、ここでは150℃で1分間の加熱処理を行つてこの処理により、後述するようにCu膜2-2のストレス変化及びCuのゲリイン成長を促進させる。ここで、加熱処理としてはホートプレートを用いたバーナ法以外にも、CVD装置を用いたり、ランプやレーザ等を用いてもよい。

【0.0.4.1】続いて、図4(a)に示すように、ダメージ法によるCu膜2-2の分離のため、CMP法によりCu膜2-2(2-1)及びハリヤイクル膜2-0を研磨して第1の配線構造1-9内ののみにCu膜2-2を残した後、ウェット処理により洗浄して第1の配線構造2-2を形成する。次に、H₂を含むプラズマ処理、ここではNH₃プラズマ処理を1000℃以下の低温で1時間、ここでは350℃で30秒間行い、露出した第1の配線2-3の表面を洗浄して、還元して表面酸化膜を除去する。ここで、前記プラズマ処理としてはNH₃ガスの代わりにH₂ガス、Ar混合ガス、H₂-Ar混合ガス等を用いてもよい。

【0.0.4.2】続いて、図4(b)に示すように、NH₃プラズマ処理と同様のチャンバーにより露若処理と連続した1000℃以下の低温にて、第1の配線2-3の表面の抵抗ハリヤ(ハリヤイクル膜)となるSi-N_x膜2-1を膜厚7.00nm程度に堆積形成する。次に、Si-N_x膜2-1上にFSGがからなる層間絶縁膜2-5、Si-N_x膜2-6、FSGからなる層間絶縁膜2-7を膜厚7.00nm程度、7.00nm程度、7.00nm程度に順次形成し、更に反射防止膜2-8を形成する。

【0.0.4.3】続いて、図4(c)に示すように、フォトレジスト2-9を重ね、フォトリソグラフジーによりフォトレジスト2-9を加工して、各第1の配線2-3上に開口する開孔パターン2-9aを形成する。

【0.0.4.4】続いて、図5(a)に示すように、フォトレジスト2-9をエクストラクタとして、Si-N_x膜2-4をエクストラクタとして、反射防止膜2-8、層間絶縁膜2-7、Si-N_x膜2-6及び層間絶縁膜2-5をドライエッチングして、開孔パターン2-9aの形成に際してビア孔3-0を形成する。次に、フォトレジスト2-9を風化処理等により除去する。

【0.0.4.5】続いて、図5(b)に示すように、形成されたビア孔3-0の下方部に、第1の配線2-3の表面酸化を防止する処置としてレジスト等からなる保護材料3-1を埋め込む。

【0.0.4.6】続いて、図5(c)に示すように、フォトレジスト3-2を重ね、フォトリソグラフジーによりフォトレジスト3-2を加工して、各ビア孔3-0上に開口する配線構造カラーフ3-2aを形成する。次に、フォトレジスト3-2をエクストラクタとして、Si-N_x膜2-6をエクストラクタとして、反射防止膜2-8及び層間絶縁膜2-7をドライエッチングして、配線構造カラーフ3-2aの周囲に嵌った第2の配線構造3-3を形成する。

【00047】 続いて、図8(a)に示すように、フォトレジスト3-2及び保護材料3-1を炭化処理等により除去した後、ヒア孔3-0の底部に残るS₁-N₁膜2-1及び第2の配線構造3-6の底部に残るS₁-N₁膜2-6を全面ドライエチチックにより除去する。このとき、第2の配線構造3-6ヒア孔3-0と共に一体となる。

【00048】 続いて、図8(b)に示すように、H₂を含むプラズマ処理、ここではN₂フラスチ処理を40.0℃以下の低温で短時間、ここでは3.5℃で3.0秒間を行い、ヒア孔3-0の底部に露出した第1の配線2-3の表面を酸化する。ここで、前記プラズマ処理としてはN₂ガスの代わりにH₂ガス、N₂-H₂混合ガス、H₂-Ar混合ガス等を用いてもよい。

【00049】 続いて、図7(a)に示すように、T₁となるハリウド膜3-1を膜厚2.5nm程度に、更にT₁-T₂全膜厚としてU膜3-2を膜厚2.0nm程度に、T₂となるハリウド膜3-1を膜厚2.5nm程度に、更にT₂-T₃全膜厚としてU膜3-3を膜厚2.0nm程度に堆積する。次に、ハリウド膜3-1を遮蔽して、エチオ法により第2の配線構造3-6及びヒア孔3-0内を埋め込む膜厚、ここでは1.0nm程度にC₁膜3-5を形成する。次に、C₁膜3-5のC₁形成直後に露せ露めで満たされたヒア孔3-0内に、T₃まで2.0℃以下の低温、ここでは1.5℃まで1分間の加熱処理を行う。この処理により、後述するようにU膜3-5のストレッチ変形及びC₁のクリーリングが成長を促進させる。

【00050】 続いて、図7(b)に示すように、タグ法によりU膜3-2との分離のため、C₁MP法によりU膜3-5及びC₁ヒア孔3-0を研削して第2の配線構造3-6及びヒア孔3-0内のみにU膜3-5を残した後、ウエット処理により洗浄して第2の配線構造3-6を形成する。

【00051】 続いて、図8(a)に示すように、H₂を含むプラズマ処理、ここではN₂フラスチ処理を40.0℃以下の低温で短時間、ここでは3.5℃で3.0秒間を行い、露出した第2の配線構造3-6の表面を酸化して表面酸化膜を除去する。ここで、前記プラズマ処理としてはH₂ガスの代わりにH₂ガス、N₂-H₂混合ガス、H₂-Ar混合ガス等を用いてもよい。次に、N₂フラスチ処理と同様のタグ法により前記処理と連続して1.0℃以下の低温で、第2の配線構造3-6の表面の拡散ハリウドヒア孔3-0となるS₁-N₁膜3-7を膜厚7.0nm程度に堆積する。更に、カーボンとシリコンの酸化膜(S₁)の膜3-8を膜厚1.0nm程度に、S₁-N₁膜3-7を膜厚3.0nm程度に順次形成する。

【00052】 続いて、図8(b)に示すように、ハート電極を形成するためフォトリソグラフィーを行い、ワットレジストをエタノールでS₁-N₁膜3-7及びシリコン酸化膜3-8をドライエチチックで除去した後、S₁-N₁膜3-7をドライエチチック

として第2の配線構造3-6の表面を露出させ、H₂を含むN₂炭酸ガスにおける1.0℃以下の低温下にて、最終的なアーチ処理を施す。これにより、ハート電極の開口14-0を形成する。

【00053】 しかる後、開口14-0に対するハート電極の形成やその他の後工程を経て、多層配線が完成する。

【00054】 本実施形態の多層配線の形成方法によれば、多層構造終了後の配線構造表面による歩留まりの低下を抑制でき、ストレッチマスクレーション等に起因する不良性を抑えて信頼性の大幅な向上に寄与する。先に示したチップコントラクトパッケンの構造(1-LW-1.0, 2.0nm, ヒア孔径0.1-2.8nm)を持つチップ数は0.00個/モードにおいて、多層構造終了後のヒア孔の歩留まりは本実施形態と従来の形成方法との間ではほぼ1.0%から歩留まつとなつた。また、同パッケンを用いて2.0℃での加熱条件でおこなったストレッチマスクレーションの歩留め法では、 ± 1.0 ℃の加熱を行なうものは1年半以上の寿命となつたが、本例の方法では十分な寿命、少なくとも実使用条件で10年以上が得られた。

【00055】 以上説明したように、本例によれば、高い歩留まり及び信頼性を確保しつつ、短時間の製造プロセスで低損耗の多層配線を形成することができる。

【00056】 多層配線を備えた半導体装置。具体的には、半導体基板上に半導体部品、ここではMOSトランジスタを形成し、接着して前述の各工程により多層配線を形成した構成4-0に示す。

【00057】 MOSトランジスタは、通常の方法、即ち、シリコン半導体基板上に導電性シリコン酸化膜及び電極部多結晶シリコン膜を形成し、これらをワットリソグラフィー及びそれに続くドライエチチックによりパターン化して、ゲート電極膜3-1又はワットリソグラフィーをマスクとして半導体基板上と反対導電部を有する部品を予め形成し、アーチ処理することにより、ワットリソグラフィを形成する。次に、各ワットリソグラフィと接続するようにエチアルコールを形成し、前述の各工程により多層配線を形成する。

【00058】 本例によれば、高い歩留まり及び信頼性を確保し、ハート開口部の製造プロセスでの対応力多層配線を形成することができるため、従来では得られなかた高対応性の半導体装置を実現することができる。

【00059】 なお、以下の諸作業も不透明を構成する。

【00060】 例えは、配線の形成方法であって、少なくとも一部が露出した前記表面にH₂を含む混合ガスによるプラズマ処理を施して清浄化することを特徴とする。

【00061】 例えは、前記作業11に記載の配線の形成方法であって、前記清浄化に続いてプラズマ処理により前記配線上にシリコン酸化膜、前記開口部保護膜を順次形成

50

することを特徴とする。

【0062】態様3は、半導体装置の製造方法であって、少なくとも前記各工程を含む一連のプロセスを経て、前記配線を形成した後、形成された前記配線と開孔を通じて電気的に接続されるように、前記一連のプロセスを所定回数繰り返して、多層配線を形成することを特徴とする。

【0063】

【発明の効果】本発明によれば、高い歩留まり及び信頼性を確保しつつ、規制開の製造プロセスで低抵抗の配線、特に多層配線を形成することが可能となり、更には当該多層配線を備えた高性能の半導体装置を実現することができる。

【図面の簡単な説明】

【図1】Cuメキ脱形成後の熱処理によるストレス変化を示す特性図である。

【図2】本実施形態による多層配線の形成方法を工程順に示す概略断面図である。

【図3】図2に引き続き、本実施形態による多層配線の形成方法を工程順に示す概略断面図である。

【図4】図3に引き続き、本実施形態による多層配線の形成方法を工程順に示す概略断面図である。

【図5】図4に引き続き、本実施形態による多層配線の形成方法を工程順に示す概略断面図である。

【図6】図5に引き続き、本実施形態による多層配線の形成方法を工程順に示す概略断面図である。

【図7】図6に引き続き、本実施形態による多層配線の

形成方法を工程順に示す概略断面図である。

【図8】図7に引き続き、本実施形態による多層配線の形成方法を工程順に示す概略断面図である。

【図9】本実施形態により製造されたMOSトランジスタを示す概略断面図である。

【図10】徒歩の配線の形成方法によるチェーンコンケートの歩留まりを示す特性図である。

【図11】徒歩の配線の形成方法によるチェーンコンケートのワイヤブルプロトを示す特性図である。

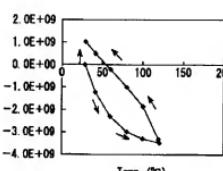
10 【符号の説明】

- シリコン半導体基板
- ゲート絕縁膜
- ゲート電極
- ソース・ドレイン
- 層間絶縁膜
- Wゲート
- Si, N: 膜
- 第1の配線溝
- ハリメタル膜

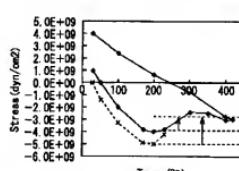
- シートCu膜
- Cu膜
- 第1の配線
- ビア
- 保護材料
- 第2の配線溝
- 第2の配線

【図1】

→ Cuメキ後加熱有 --- Cuメキ後加熱無



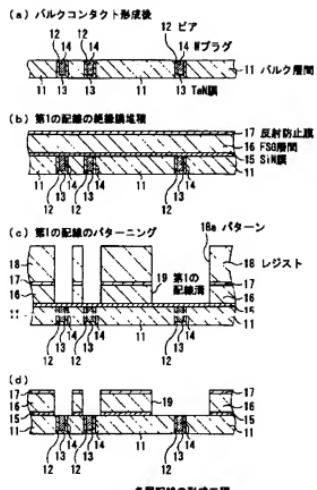
(a) Cuメキ後の熱処理



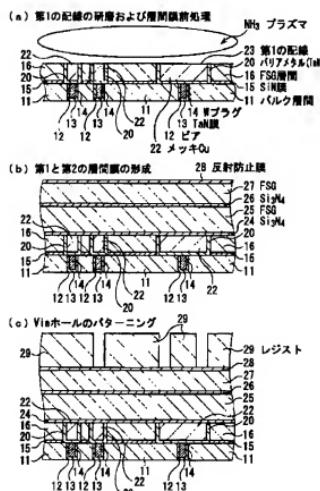
(b) 多層プロセス中の熱処理

Cuメキ後の熱処理によるCuのストレス変化の例

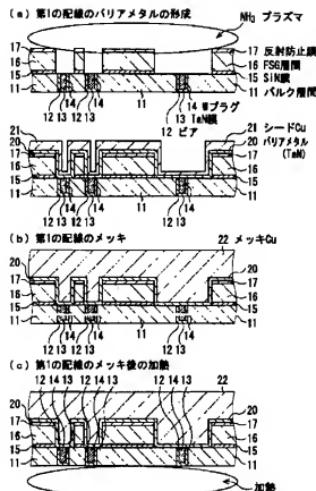
11



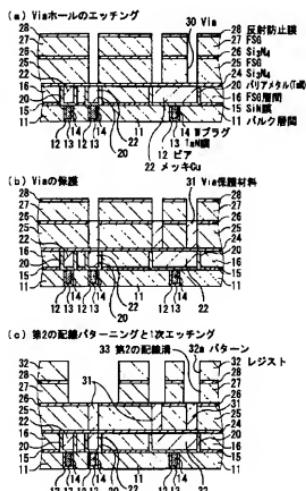
【18】1】



[43]

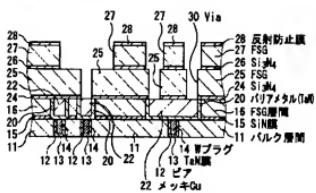


[135]

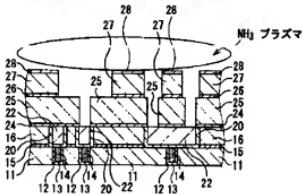


【図6】

(a) 第2の配線2次エッティング

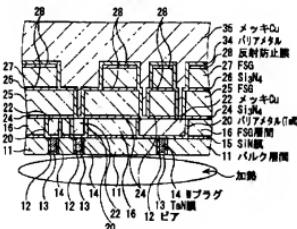


(b) 第2の配線のバリアメタルの前処理

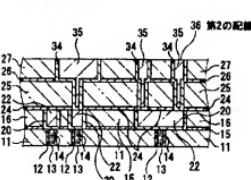


【図7】

(a) 第2の配線のメッキ後の加熱

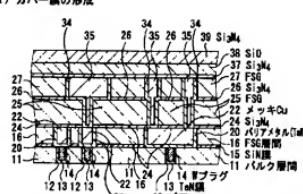


(b) 第2の配線の研磨

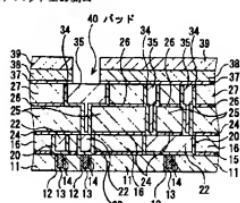


【図8】

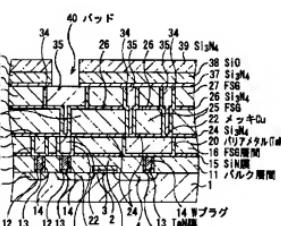
(a) カバー膜の形成



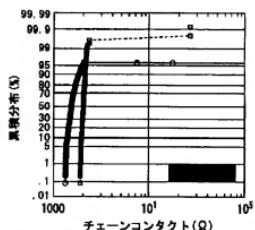
(b) パッド上の開口



【図9】

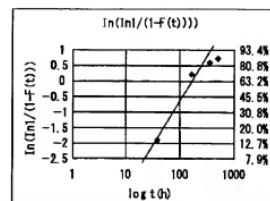


【図10】



従来方法による構造の違いによるチェーンコンタクトの多書きまりの違い。

【図11】



従来方法によるW/L=20/10μmチェーンコンタクトの200°C放置試験のワープ

フロントページの続き

(72)発明者 細田 効
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

Fターム(参考) 5F033 HH11 HH32 JJ19 JJ33 KK01
KK11 KK32 MM02 MM12 MM13
NN06 NN07 PP15 PP27 PP33
QQ09 QQ10 QQ11 QQ21 QQ25
QQ37 QQ48 QQ73 QQ92 QQ98
RR06 RR11 TT02 VV16 WW03
XX02 XX06